

CLIPPEDIMAGE= JP402271635A

PAT-NO: JP402271635A

DOCUMENT-IDENTIFIER: JP 02271635 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 6, 1990

INVENTOR-INFORMATION:

NAME

MURAKAMI, HIROAKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP01094120

APPL-DATE: April 13, 1989

INT-CL (IPC): H01L021/321

US-CL-CURRENT: 438/614,438/FOR.343

ABSTRACT:

PURPOSE: To obtain a metal bump electrode which has a high adhesion strength, a low electrical resistance, and high reliability and to improved productivity by applying ion beam etching to Pt film only and eliminating Au film and Ti film by the wet method.

CONSTITUTION: A Ti film 14 as an adhesion layer, a Pt film 15 as a diffusion barrier layer, and an Au film 16 as a plating ground layer are formed on a passivation film 13 and an aluminum electrode pad 12 on an integrated circuit continuously in sequence by the sputter method and a photo resist film 17 is provided on the metal film 16 to form an opening part for forming a bump

electrode. Then, on a photo resist opening part, an Au bump 18 is formed and the photo resist film 17 is eliminated by peeling. Furthermore, the Au film 16 is eliminated by Au etching liquid with the Au bump 18 as a mask material, the Pt film 15 is eliminated by the ion beam etching method with the Au bump 18 as a mask material, the Ti film 14 is eliminated by a Ti etching liquid with the Pt film 15 as a mask material. Thus, a metal bump electrode with improved adhesion strength and a low electrical resistance can be obtained, thus improving productivity easily.

COPYRIGHT: (C)1990,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-271635

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月6日

H 01 L 21/321

6810-5F H 01 L 21/92
6810-5F

F
B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-94120

⑰ 出 願 平1(1989)4月13日

⑱ 発 明 者 村 上 裕 昭 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

集積回路の電極パッド上および絶縁膜上に、金バンプ電極を製造する方法において、

(a) 集積回路全面に、密着層としてのTi、相互拡散防止バリアとしてのPt、電解メッキ下地電極としてのAu、から成る金属薄膜層を順次連続で形成する工程。

(b) 前記金属膜上に開口部をもつフォトレジスト膜を形成する工程。

(c) 前記フォトレジスト膜をマスクとしてAuメッキを行ないバンプ電極を形成し、フォトレジストを剥離除去する工程。

(d) ウエットエッチングにより、Au薄膜の除去及びバンプ表面をわずかに除去する工程。

(e) イオンビームエッチングにより、バンプ電

極をマスク材としてPt薄膜を除去する工程。

(f) ウエットエッチングにより、Pt薄膜をマスク材としてTi薄膜を除去する工程

から成ることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に外部接続端子である電極用金バンプを有する半導体装置に関する。

〔従来の技術〕

従来、半導体装置の電極用全バンプの製造方法に関しては数多くの提案がなされ、改良が加えられている。第2図は、従来の電極用金バンプ製造工程の断面図である。

従来は第2図に示すように、集積回路全面にTi膜24、Pt膜25から成る薄膜層を形成した後、A電極パッド22上にフォトレジスト膜26を形成して、Pt膜25をウエットエッチング

により除去をする。前記フォトリソ膜26を剥離除去した後、パターンニングされたPt膜25上に開口部をもつフォトリソ膜27を形成する。前記フォトリソ膜27をマスクとしてAuメッキによりパンプ電極28を形成した後、前記フォトリソ膜27を剥離除去する。最後に前記Pt25をマスクとしてTi膜24をウェットエッチングにより除去をしていた。このような従来の製造方法では以下に示す欠点があった。

まず、Pt膜25をエッチングする時にフォトリソ膜26を使用する為に、Auメッキ時のフォトリソ工程の他にフォトリソ工程を必要とすることである。

また、Auメッキにより形成されるパンプ電極28は、異種金属であるPt膜25に接着させねばならない為、接着強度が低く、半導体装置を実装した際の信頼性に欠けるという問題を生じていた。

その上、パンプ電極28の表面をエッチングする工程が無い為、メッキフォトリソ膜27の

残渣の付着などで、半導体装置を実装した際に、大きな電気抵抗を生じるという問題もあった。

〔発明が解決しようとする課題〕

本発明は、前記従来技術の欠点を解決しようとするものであり、接着強度が高く、低い電気抵抗の金パンプ電極であるばかりか、簡便で高い生産性をもつ工程で構成される半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

集積回路の電極パッド上および絶縁膜上に、金パンプ電極を製造する方法において、

(a) 集積回路全面に、密着層としてのTi、相互拡散防止バリアとしてのPt、電解メッキ下地電極としてのAu、から成る金属薄膜層を順次連続で形成する工程。

(b) 前記金属膜上に開口部をもつフォトリソ膜を形成する工程。

(c) 前記フォトリソ膜をマスクとしてAuメッキを行ないパンプ電極を形成し、フォトリソ膜を剥離除去する工程。

(d) ウェットエッチングにより、Au薄膜の除去及びパンプ表面をわずかに除去する工程。

(e) イオンビームエッチングにより、パンプ電極をマスク材としてPt薄膜を除去する工程。

(f) ウェットエッチングにより、Pt薄膜をマスク材としてTi薄膜を除去する工程

から成ることを特徴とする半導体装置の製造方法。

〔実施例〕

以下に、本発明の実施例について、図面を参照して説明する。

第1図(a)～(g)は本発明の実施例を説明するための工程順を示した断面図である。

第1図(b)に示すように、拡散、配線、絶縁膜工程の終了した集積回路上のバッシペーション膜13及びアルミ電極パッド12の上に密着層として0.1μmのTi膜14と拡散バリア層として0.2μmのPt膜15と、メッキ下地層として0.1μmのAu膜16を順次連続的にスパッタ法により形成する。

次に第1図(c)に示すように、前記金属膜上に、パンプ電極形成用の開口部を形成するようにフォトリソ膜17をもうける。

次に第1図(d)に示すように、フォトリソ膜開口部に電解金メッキにより15～30μm厚のAuパンプ18を形成し、前記フォトリソ膜17を剥離液または酸素プラズマにより除去する。

次に第1図(e)に示すように、Auエッチング液により、前記Auパンプ18をマスク材として前記Au膜16を除去する。この時、Auパンプ18の表面も、0.1μm除去されるので、フォトリソ膜残渣等の汚れを完全に除去することができる。

次に第1図(f)に示すように、イオンビームエッチング法により、前記Auパンプ18をマスク材として前記Pt膜15をエッチング除去する。この時、Auパンプ18の上面つまり実装される面は0.2～0.3μmエッチングされるので、汚れは完全に除去される。

次に第1図 (g) に示すように、Tiエッチング液により、前記工程でパターンニングされたPt膜15をマスク材としてTi膜14を除去する。この時、前記工程のイオンビームエッチングにより再付着をする金属は、Ti膜14とともに完全に除去することができるので、集積回路上は清浄に保つことができる。

以上の工程により、金パンプ電極が集積回路上に形成される。形成された金パンプは前記説明のように、接着強度が高く、低い電気抵抗であるばかりか、スパック1回、フォトリソという簡便な工程で、高い生産性をもつ製造方法により形成されるものである。特に、エッチングに時間のかかるイオンビームエッチングはPt膜15にのみ適用し、Au膜16、Ti膜14は湿式法により除去する為に、高い生産性を得ることができる。

【発明の効果】

以上説明したように本発明の製造方法により、接着強度が高く、低い電気抵抗の高い信頼性をもつ金パンプ電極であるばかりか、簡便で高い生産

性をもつ工程で半導体装置を提供することができた。

4. 図面の簡単な説明

第1図 (a) ~ (g) は、本発明の実施例による半導体装置の製造方法の工程順断面図。

第2図 (a) ~ (g) は、従来技術による半導体装置の製造方法の工程順断面図。

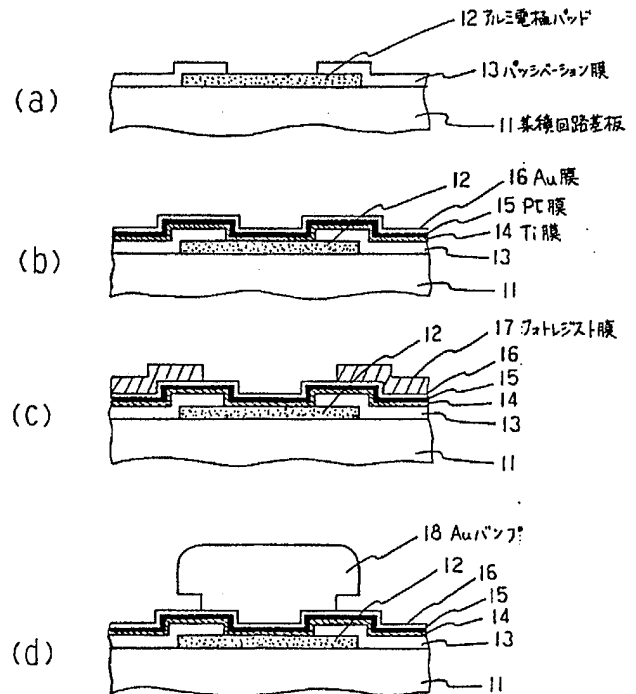
- 11・・・集積回路基板
- 12・・・アルミ電極パッド
- 13・・・パッシベーション膜
- 14・・・Ti膜
- 15・・・Pt膜
- 16・・・Au膜
- 17・・・フォトリソ膜
- 18・・・Auパンプ
- 21・・・集積回路基板
- 22・・・アルミ電極パッド
- 23・・・パッシベーション膜

- 24・・・Ti膜
- 25・・・Pt膜
- 26・・・フォトリソ膜
- 27・・・フォトリソ膜
- 28・・・Auパンプ

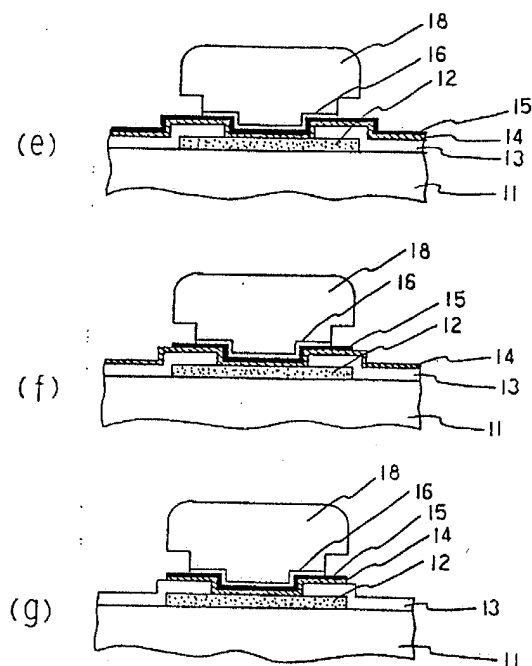
以上

出願人 セイコーエプソン株式会社

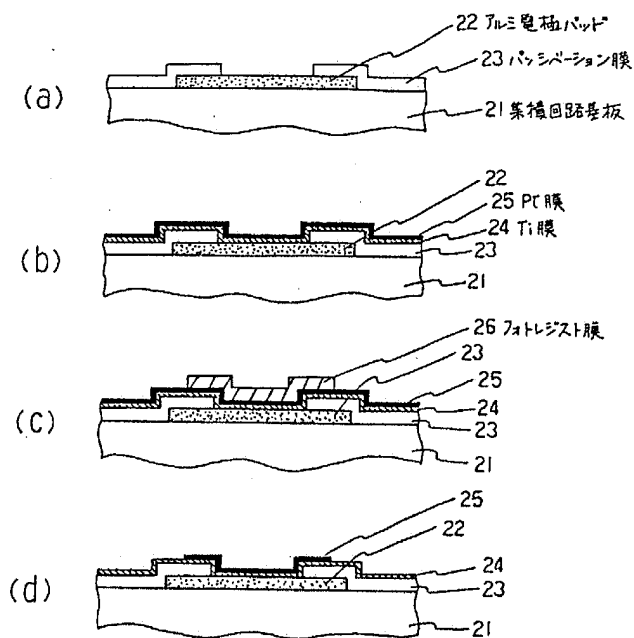
代理人 弁理士 鈴木 喜三郎 (他1名)



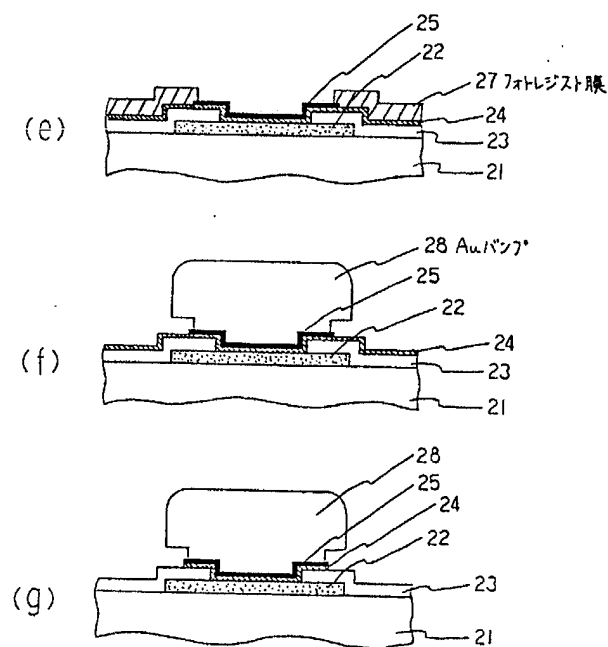
第1図



第 1 図



第 2 図



第 2 図